



#3 2182

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

**In re application of:**

Mori et al

**Application No.:** 10/064496

**Filed:** 22 July 2002

**Examiner:** UNKNOWN

**Group Art Unit:** 2182

**Customer No.** 25299

**For:** DATA INPUT/OUTPUT DEVICE, MEMORY SYSTEM, DATA INPUT/OUTPUT AND  
DATA INPUT/OUTPUT METHOD

Commissioner of Patents  
Washington, D.C. 20231

**TRANSMITTAL OF CERTIFIED COPY**

Attached please find the certified copy of the foreign application from which priority is  
claimed for this case:

**Country:** JAPAN

**Application Number:** 2001-223686

**Filing Date:** July 24, 2001

**RECEIVED**

OCT 01 2002

Technology Center 2100

Respectfully submitted,

Carlos Munoz-Bustamante  
Reg. No. 51,349  
Telephone No. (919) 254-2587

**Certificate of Mailing § 1.8(a)**

I hereby certify that this correspondence is being deposited with the United States Postal Service as  
first class mail in an envelope with sufficient postage addressed to: Assistant Commissioner for  
Patents, Washington, DC 20231 on 9/24/02.

Amirah Scarborough  
Person mailing document

  
Signature

JP920010178US1



10/064, 496 01.178

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 7月24日

出 願 番 号  
Application Number:

特願2001-223686

[ST.10/C]:

[JP2001-223686]

出 願 人  
Applicant(s):

インターナショナル・ビジネス・マシーンズ・コーポレーション

RECEIVED

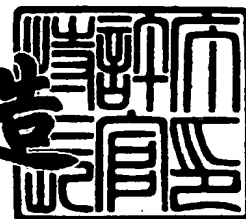
OCT 01 2002

Technology Center 2100

2002年 1月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3000793

【書類名】 特許願

【整理番号】 JP9010178

【提出日】 平成13年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/36

【発明者】

    【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4   日本アイ・ピー・エム株式会社 大和事業所内

    【氏名】 森 昌也

【発明者】

    【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4   日本アイ・ピー・エム株式会社 大和事業所内

    【氏名】 渡辺 晋平

【特許出願人】

    【識別番号】 390009531

    【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

    【識別番号】 100086243

    【弁理士】

    【氏名又は名称】 坂口 博

【代理人】

    【識別番号】 100091568

    【弁理士】

    【氏名又は名称】 市位 嘉宏

【代理人】

    【識別番号】 100106699

    【弁理士】

    【氏名又は名称】 渡部 弘道

【復代理人】

【識別番号】 100104880

【弁理士】

【氏名又は名称】 古部 次郎

【選任した復代理人】

【識別番号】 100100077

【弁理士】

【氏名又は名称】 大場 充

【手数料の表示】

【予納台帳番号】 081504

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

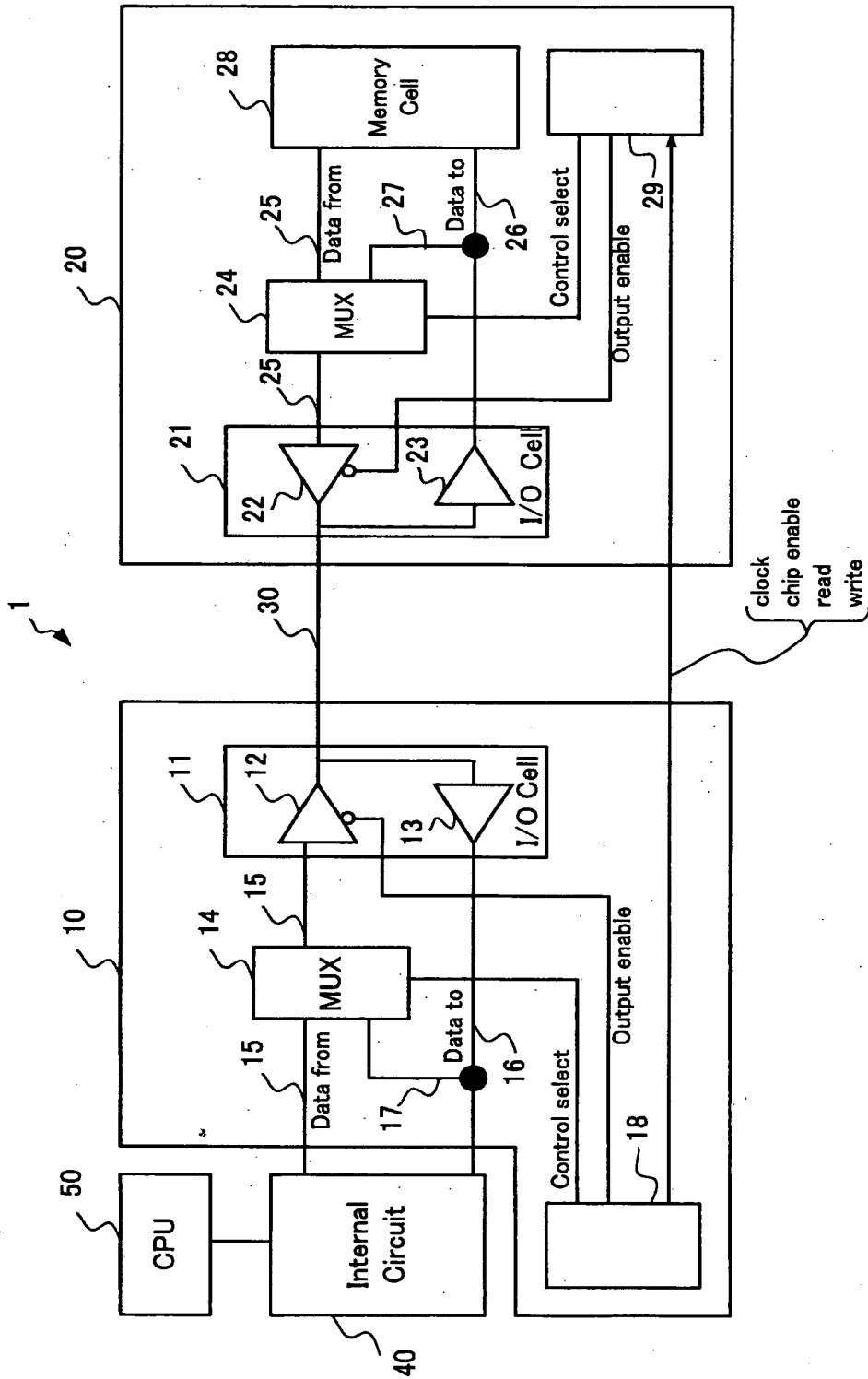
【包括委任状番号】 0004480

【プルーフの要否】 要

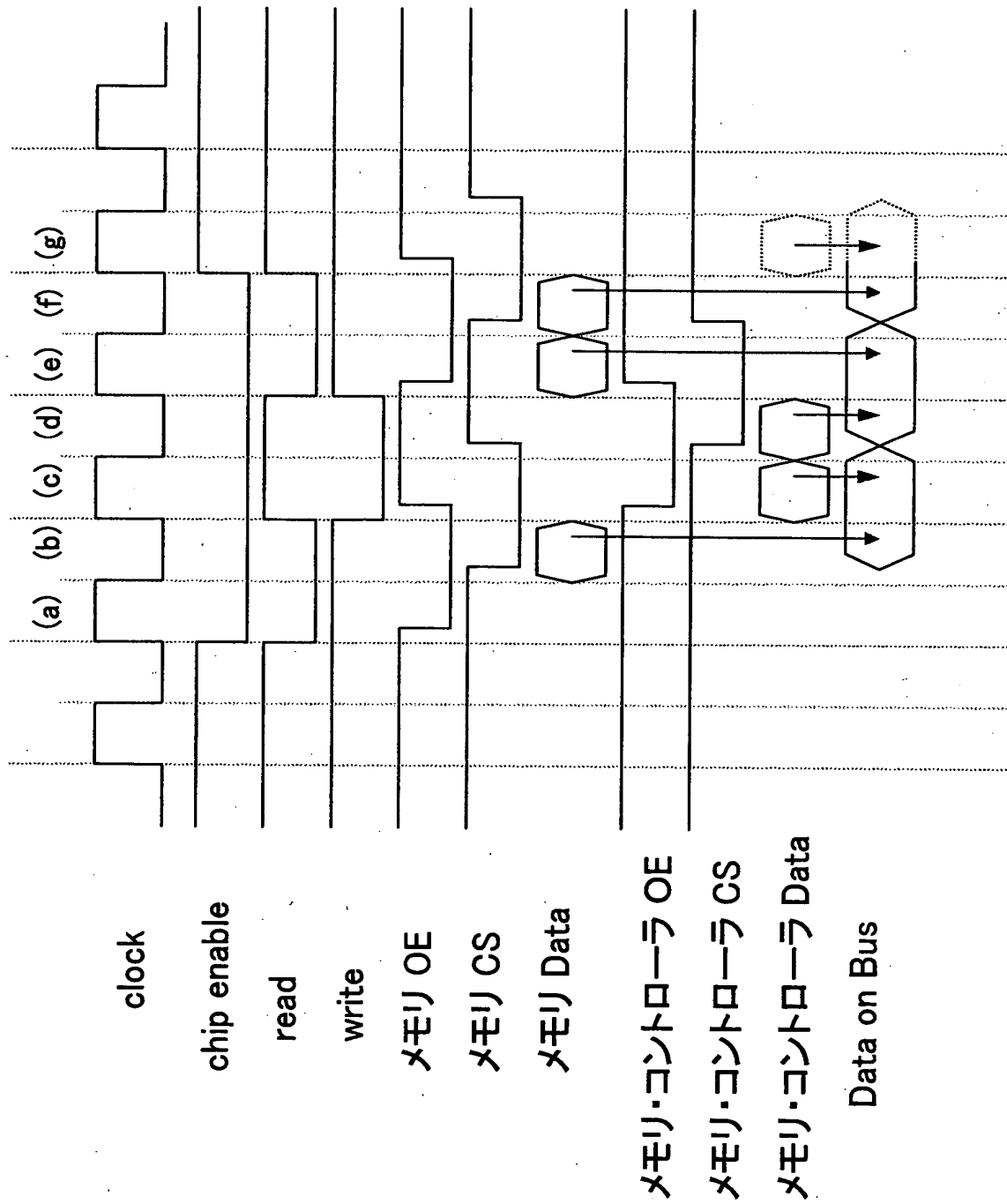
【書類名】

図面

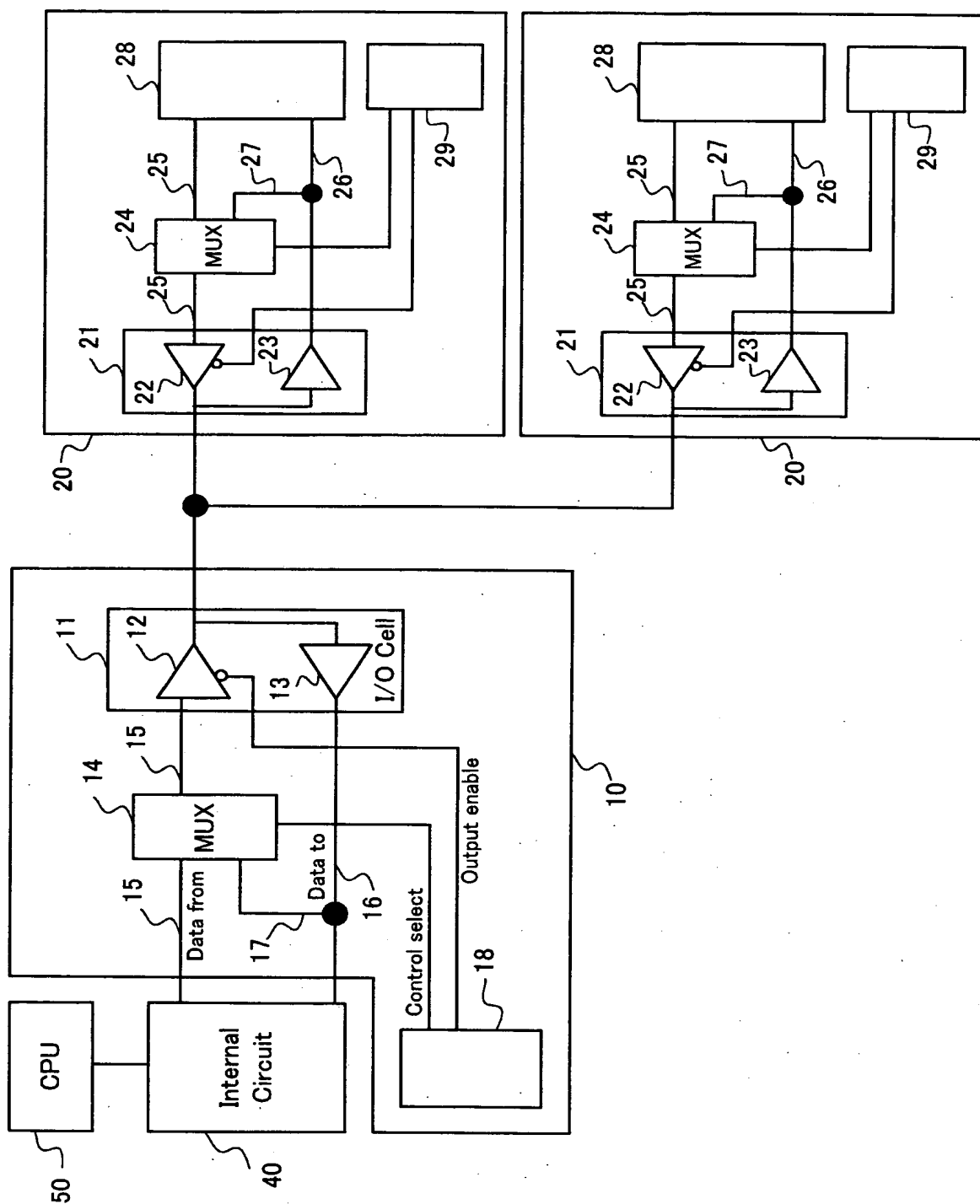
【図 1】



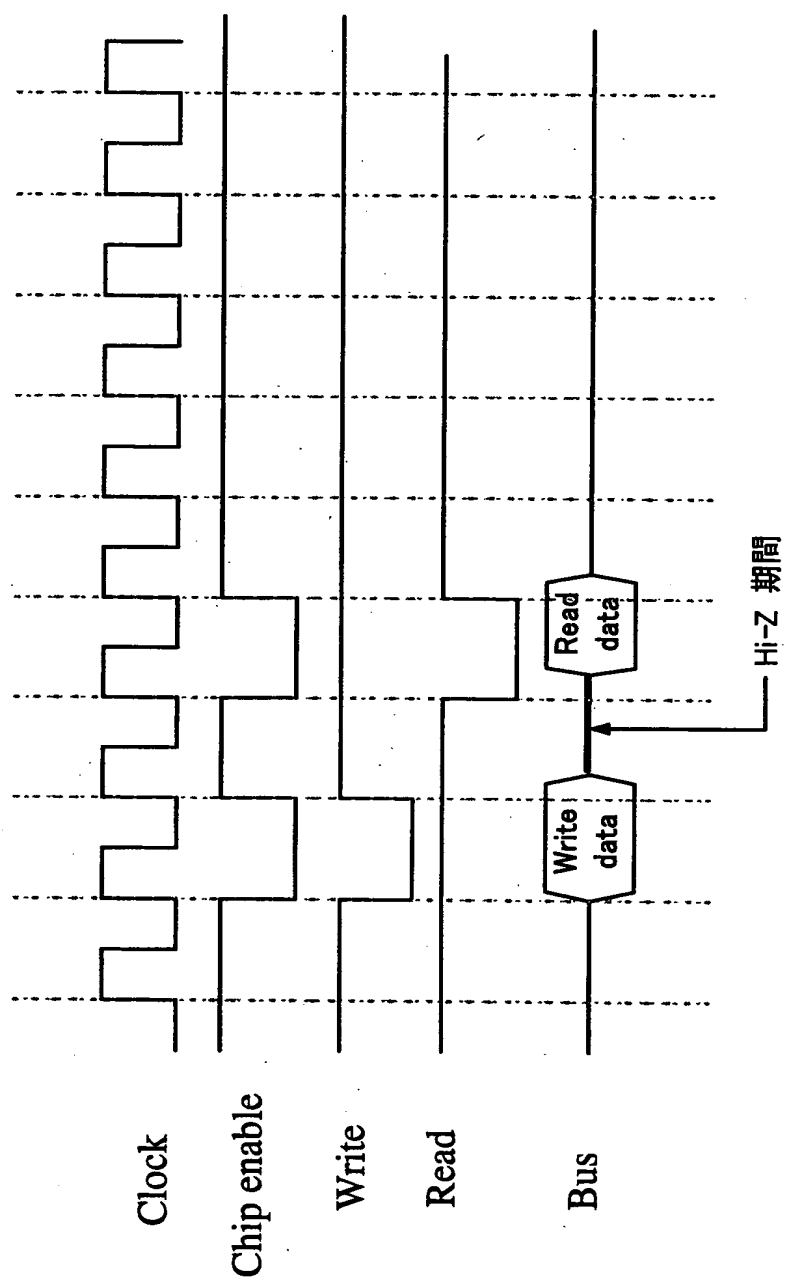
【図 2】



【図 3】



【図 4】





【書類名】                      要約書

【要約】

【課題】    バスの切り替えにおいて、無駄なサイクルを減らす。

【解決手段】    データの出力が、メモリ20からメモリ・コントローラ10に切り替わる際に、メモリ・コントローラ10は、メモリ20から出力された書込みデータを取り込み、かつ取り込んだ書込みデータをデータ・バス30へ出力する。次いで、メモリ・コントローラ10は、取り込んだ読出しデータをデータ・バス30へ出力した後に、自己の書込みデータをデータ・バス30へ出力する。

【選択図】                      図1

# 認定・付加情報

特許出願の番号	特願 2001-223686
受付番号	50101084388
書類名	特許願
担当官	風戸 勝利 9083
作成日	平成13年 9月 3日

## <認定情報・付加情報>

### 【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

### 【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

### 【代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

### 【代理人】

【識別番号】	100106699
【住所又は居所】	神奈川県大和市下鶴間1623番14 日本アイ・ビー・エム株式会社大和事業所内
【氏名又は名称】	渡部 弘道

### 【復代理人】

【識別番号】	100104880
【住所又は居所】	東京都港区赤坂5-4-11 山口建設第2ビル 6F セリオ国際特許事務所
【氏名又は名称】	古部 次郎

### 【選任した復代理人】

【識別番号】	100100077
--------	-----------

次頁有

認定・付加情報（続き）

【住所又は居所】 東京都港区赤坂5-4-11 山口建設第2ビル  
6F セリオ国際特許事務所  
【氏名又は名称】 大場 充

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2000年 5月16日

[変更理由] 名称変更

住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション

【書類名】 明細書

【発明の名称】 データ入出力装置、メモリ・システム、データ入出力回路  
およびデータ入出力方法

【特許請求の範囲】

【請求項 1】 自己のデータを出力するとともに、互いに他方から出力されるデータの入力を受ける第 1 のデータ入出力回路および第 2 のデータ入出力回路と、

前記第 1 のデータ入出力回路および前記第 2 のデータ入出力回路間における前記データの転送を担うデータ・バスと、を備えたデータ入出力装置であって、

前記データの出力が、前記第 1 のデータ入出力回路から前記第 2 のデータ入出力回路へ連続的に切り替わる場合に、

前記第 2 のデータ入出力回路は、前記第 1 のデータ入出力回路から出力された前記データを取り込み、かつ取り込んだ前記データを前記データ・バスへ出力することを特徴とするデータ入出力装置。

【請求項 2】 前記第 2 のデータ入出力回路は、

取り込んだ前記データを前記データ・バスへ出力した後に、

前記自己のデータを前記データ・バスへ出力することを特徴とする請求項 1 に記載のデータ入出力装置。

【請求項 3】 前記第 1 のデータ入出力回路および前記第 2 のデータ入出力回路は、

自己のデータを出力する出力バッファと、

他方からのデータを受ける入力バッファと、

前記入力バッファで受けた前記他方からのデータを前記出力バッファへ転送する中継ラインと、を備えることを特徴とする請求項 1 に記載のデータ入出力装置。

【請求項 4】 前記出力バッファは、前記中継ラインから転送された前記他方からのデータを前記データ・バスへ出力することを特徴とする請求項 3 に記載のデータ入出力装置。

【請求項 5】 データの読出し・書込み指令を発するメモリ・コントロー

ラと、

前記メモリ・コントローラからの読出し・書込み指令に基づいてデータの読出し・書込みを実行するメモリと、

前記メモリ・コントローラと前記メモリとを接続するバスと、を備えたメモリ・システムであって、

前記メモリ・コントローラは、

前記メモリに書込む書込みデータを前記バスに対して出力する第1出力バッファと、

前記バスを介して前記メモリで読出された読出しデータを受ける第1入力バッファと、

前記第1出力バッファに対して前記書込みデータを転送する第1出力ラインと

前記第1入力バッファが受けた前記読出しデータを転送する第1入力ラインと

前記第1出力ライン上に配置された第1マルチプレクサと、

前記第1入力ラインと前記第1マルチプレクサとを繋ぐ第1中継ラインと、を備え、

前記メモリは、

読出し・書込みデータを記憶するメモリ・セルと、

前記メモリ・コントローラからの読出し指令に基づいて前記メモリ・セルから読出された前記読出しデータを前記バスに対して出力する第2出力バッファと、

前記メモリ・コントローラの前記第1出力バッファから出力された書込みデータを受ける第2入力バッファと、

前記メモリ・セルからの前記読出しデータを前記第2出力バッファに転送する第2出力ラインと、

前記第2入力バッファが受けた前記書込みデータを前記メモリ・セルに転送する第2入力ラインと、

前記第2出力ライン上に配置された第2マルチプレクサと、

前記第2入力ラインと前記第2マルチプレクサとを繋ぐ第2中継ラインと、

を備えることを特徴とするメモリ・システム。

【請求項 6】 前記メモリ・コントローラが前記メモリに対して読出し指令を発すると、

前記メモリは、前記第 2 マルチプレクサが前記第 2 出力ラインを選択するとともに、前記メモリ・セルから前記読出しデータを読み出して前記第 2 出力ラインおよび第 2 出力バッファを介して前記バスに出力し、

前記メモリ・コントローラは、前記バスを介して前記第 1 入力バッファにより当該読出しデータを受けるとともに、所定時間経過後に前記第 1 マルチプレクサが前記第 1 中継ラインを選択することにより、前記第 1 入力ライン、前記第 1 中継ライン、前記第 1 出力ラインおよび前記第 1 出力バッファを介して前記読出しデータを前記バスに出力することを特徴とする請求項 5 に記載のメモリ・システム。

【請求項 7】 前記メモリ・コントローラは、前記読出しデータを前記バスに出力した後に、当該読出しデータを前記バスから取り込むことを特徴とする請求項 6 に記載のメモリ・システム。

【請求項 8】 前記メモリ・コントローラが前記メモリに対して書込み指令を発すると、

前記メモリ・コントローラは、前記第 1 マルチプレクサが前記第 1 出力ラインを選択するとともに、外部から転送された前記書込みデータを第 1 出力ラインおよび第 1 出力バッファを介して前記バスに出力し、

前記メモリは、前記バスを介して前記第 2 入力バッファにより当該書込みデータを受けるとともに、所定時間経過後に前記第 2 マルチプレクサが前記第 2 中継ラインを選択することにより、前記第 2 入力ライン、前記第 2 中継ライン、前記第 2 出力ラインおよび前記第 2 出力バッファを介して前記書込みデータを前記バスに出力することを特徴とする請求項 5 に記載のメモリ・システム。

【請求項 9】 前記メモリは、前記書込みデータを前記バスに出力した後に、当該書込みデータを前記バスから取り込むことを特徴とする請求項 8 に記載のメモリ・システム。

【請求項 10】 前記メモリ・コントローラが前記メモリに対して読出し

指令および書込み指令を連続的に発すると、

前記メモリは、前記第 2 マルチプレクサが前記第 2 出力ラインを選択するとともに、前記メモリ・セルから前記読出しデータを読み出して前記第 2 出力ラインおよび第 2 出力バッファを介して前記バスに出力し、

前記メモリ・コントローラは、前記バスを介して前記第 1 入力バッファにより当該読出しデータを受けるとともに、所定時間経過後に前記第 1 マルチプレクサが前記第 1 中継ラインを選択することにより、前記第 1 入力ライン、前記第 1 中継ライン、前記第 1 出力ラインおよび前記第 1 出力バッファを介して前記読出しデータを前記バスに出力し、

前記メモリ・コントローラは、前記第 1 マルチプレクサが前記第 1 出力ラインを選択するとともに、外部から転送された当該書込みデータを第 1 出力ラインおよび第 1 出力バッファを介して前記バスに出力し、

前記メモリは、前記バスを介して前記第 2 入力バッファにより当該書込みデータを受けるとともに、所定時間経過後に前記第 2 マルチプレクサが前記第 2 中継ラインを選択することにより、前記第 2 入力ライン、前記第 2 中継ライン、前記第 2 出力ラインおよび前記第 2 出力バッファを介して前記書込みデータを前記バスに出力することを特徴とする請求項 5 に記載のメモリ・システム。

【請求項 1 1】 データ・バスへ出力データを出力する第 1 のバッファと前記データ・バスから転送される入力データを受ける第 2 のバッファとが前記データ・バスに接続された入出力セルと、

前記出力データおよび前記入力データを保持するデータ保持手段と、

前記データ保持手段に保持された前記出力データを前記第 1 のバッファに転送する出力ラインと、

前記第 2 のバッファが受けた前記入力データを前記データ保持手段に転送する入力ラインと、

前記第 2 のバッファを介して前記入力データを前記出力バッファに転送する中継ラインと、

前記出力ラインおよび中継ラインにおけるデータの転送を選択的に有効とするライン選択手段と、



を備えることを特徴とするデータ入出力回路。

【請求項 1 2】 前記入出力セルからのデータ出力の可否を制御する出力制御信号を、前記入出力セルに向けて出力する制御信号生成手段を備えることを特徴とする請求項 1 1 に記載のデータ入出力回路。

【請求項 1 3】 前記制御信号生成手段は、前記ライン選択手段における選択を制御する選択信号を前記ライン選択手段に向けて出力することを特徴とする請求項 1 2 に記載のデータ入出力回路。

【請求項 1 4】 前記制御信号生成手段が、  
前記選択信号を前記ライン選択手段に向けて出力している間に、  
前記第 2 のバッファが受けた前記入力データは、前記中継ラインおよび前記第 1 のバッファを経由して前記データ・バスへ出力されることを特徴とする請求項 1 3 に記載のデータ入出力回路。

【請求項 1 5】 前記制御信号生成手段は、  
前記入出力セルからのデータ出力を可能とする出力制御信号を前記入出力セルに向けて出力し、  
前記出力から所定時間経過した後に前記中継ラインを選択する選択信号を前記ライン選択手段に向けて出力することを特徴とする請求項 1 4 に記載のデータ入出力回路。

【請求項 1 6】 自己のデータを出力するとともに他方から出力されるデータの入力を受ける第 1 のデータ入出力回路および第 2 のデータ入出力回路におけるデータ入出力方法であって、

前記第 1 のデータ入出力回路が自己のデータである第 1 信号をバスに出力するステップと、

前記第 2 のデータ入出力回路が前記バスから前記第 1 信号を取り込むステップと、

前記第 2 のデータ入出力回路が前記第 1 信号を前記バスに出力するステップと、  
を備えたことを特徴とするデータ入出力方法。

【請求項 1 7】 前記第 2 のデータ入出力回路が前記第 1 信号を前記バスに出力するステップに引き続いて、

前記第 2 のデータ入出力回路が自己のデータである第 2 信号を前記バスに出力するステップ、を備えたことを特徴とする請求項 1 6 に記載のデータ入出力方法

【請求項 1 8】 前記第 2 信号を前記バスに出力するステップに引き続いて、

前記第 1 のデータ入出力回路が前記バスから前記第 2 信号を取り込むステップと、

前記第 1 のデータ入出力回路が前記第 2 信号を前記バスに出力するステップとを備えたことを特徴とする請求項 1 7 に記載のデータ入出力方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、CPU バス (Bus) 等のバス・インターフェイス (Bus interface) において、トライ・ステート・コントローラ (Tri-State control) 付きのバッファ (Buffer) を使用し、異なる複数のチップ (Chip) から連続してデータ (data) を出力する方法に関し、特に、バス (Bus) の制御が移る時点 (変化点) における 1 バス・サイクル (Bus cycle) 分の無駄を省く方法を提案する。

【0 0 0 2】

【従来の技術】

従来のトライ・ステート・コントローラ付きのバッファでバス・インターフェイスを構成した場合、バスの変化点、つまり制御が他のチップに移る時点における過渡状態を作る必要があった。これは、過渡期において 2 つのチップ (バスをドライブ (drive) していたチップとこれからバスをドライブする他のチップが同時にバスをドライブする可能性を避けられず、特に 2 つのチップが異なる信号レベル (High Level (以下、“H”と記す) と Low Level (以下、“L”と記す)) を出力する場合、貫通電流が流れ、バッファを備えた I/O (Input/Output) セルが破壊されてしまう。例えば、一方のチップが書込みデータ信号を、他方のチップが読出しデータ信号を出力するような場合に、このような事態が生じ

得る。

#### 【0003】

貫通電流による I / O セルの破壊を防ぐための過渡期を作るために、現在主流のクロック (clock) に同期した回路においては、図 4 に示すように、データの書込み (Write) から読出し (Read) へ動作移行するバスの切り替え時に、1 クロック分のハイ・インピーダンス (High Impedance, 以下  $H i - Z$ ) 状態を設けていた。

これは、CPU-メモリ・バス (Memory Bus) をはじめとするバスが、システムの性能を決める上での主要因となっている状況において、大きな弊害となっている。

この 1 クロック分の過渡期は、“L” とプル・アップ (Pull up) によって作られる “H” の 2 つの状態だけにすることのできるオープン・ドレイン・バッファ (Open Drain Buffer) を用いることによって解消することができる。しかし、オープン・ドレイン・バッファは、“L” 状態において多量の電流を消費してしまうこと、および高速化しにくいという問題がある。したがって、現時点では、その採用には慎重である。

#### 【0004】

##### 【発明が解決しようとする課題】

バスの切り替え時における 1 クロック分の無駄を避けることができないため、これまで、バスの使用効率を上げることに自体に限界があった。特に、ビート (Beat) 数が小さなバス・トランザクション (Bus Transaction) においては、バスの効率が激減するため、問題は深刻であった。つまり、従来、ランダムにデータにアクセスする場合は、非常にバス効率が低く、これが CPU 性能を下げる大きな要因となっていた。

そこで本発明は、出力切り替えに代表されるバスの切り替えにおいて、無駄なサイクルを減らすことを目的とする。

#### 【0005】

##### 【課題を解決するための手段】

前述したように、データ信号を出力するチップが切り替わる際の過渡期状態に

において、データ信号の電位が、例えば“H”から“L”、あるいは“L”から“H”への変化に際し、この過渡期に2つのチップが同時に出力状態に陥った場合のI/Oセルの電氣的破壊を避けるために、Hi-Z期間を設ける必要があった。クロックに同期する回路の場合、1クロック分以上のHi-Z期間を設けていた。データ信号が、“H”から“L”、あるいは“L”から“H”へ変化する場合に、各チップがお互いにドライブを停止することにより、Hi-Z期間を設けていた。

ここで、2つのチップ（チップA、チップBとする）について考えてみる。チップAが半クロック分だけ自己のデータ信号（信号aとする）を出力する一方、チップBが信号aを受ける。そして、信号aについての半クロック分の出力を、このチップBが担当する。信号aは同一のデータ信号、つまり電位レベルが一致する。2つの異なるチップAおよびチップBから、同一レベルの電位の出力を行ってもお互いに電氣的な破壊は起きない。

チップBは、信号aを出力した半クロック後に、自己のデータ信号である信号bを出力する。このとき、“H”から“L”、あるいは“L”から“H”への変化が生ずる、あくまで1つのチップBにおいて生じているにすぎない。つまり、2つのチップAおよびチップBが同時に異なった電位を出力することが回避されている。

以上のようにデータ信号の出力を制御すれば、複数のチップが異なる電位のデータ信号を同時に出力する事態を回避することができるので、Hi-Z時間を設ける必要がなくなる。より具体的には、データのリード/ライトを繰り返す動作時に、バス効率が非常に下がるという事態を回避し、その結果としてバス効率を格段に向上することができる。

#### 【0006】

本発明は、以上の知見に基づいており、自己のデータを出力するとともに、他方から出力されるデータの入力を受ける第1のデータ入出力回路および第2のデータ入出力回路と、第1のデータ入出力回路および第2のデータ入出力回路間におけるデータの転送を担うデータ・バスと、を備えたデータ入出力装置において実現される。そして、このデータ入出力装置において、自己のデータの出力が、

第 1 のデータ入出力回路から第 2 のデータ入出力回路へ連続的に切り替わる場合に、第 2 のデータ入出力回路は、第 1 のデータ入出力回路からデータ・バスへ出力されたデータをデータ・バスから取り込み、かつ取り込んだデータをデータ・バスへ出力する。つまり、本発明のデータ入出力装置は、第 1 のデータ入出力回路から出力されたデータを第 1 データとすると、例えば、第 1 のデータ入出力回路が半クロックの期間だけ第 1 データを出力し、その後の半クロック分の期間は第 2 のデータ入出力回路が第 1 データを出力することができる。したがって、第 1 のデータ入出力回路および第 2 のデータ入出力回路は、お互いに電氣的な破壊を起すことがない。

## 【 0 0 0 7 】

本発明のデータ入出力装置において、第 2 のデータ入出力回路は、取り込んだデータをデータ・バスへ出力した後に、自己のデータをデータ・バスへ出力する。ここで、第 2 のデータ入出力回路の自己のデータを第 2 データとすると、第 2 のデータ入出力回路は、第 1 データを出力した後に、第 2 データを出力することになる。第 1 データと第 2 データが異なる電位だとしても、1 つのデータ入出力回路における動作であるため、貫通電流の発生という事態を生じない。

## 【 0 0 0 8 】

以上のように、本発明のデータ入出力装置は、出力する回路の切り替えと出力データの切り替えとが同時に発生することを回避している。そして、この回避は、第 1 のデータ入出力回路および第 2 のデータ入出力回路が、各々、自己のデータを出力する出力バッファと、他方からのデータを受ける入力バッファと、入力バッファで受けた他方からのデータを出力バッファへ転送する中継ラインと、を備えることによって実現することができる。

中継ラインから転送された他方からのデータは、出力バッファを介してデータ・バスへ出力することができる。つまり、出力バッファは、自己のデータを出力するのみならず、他方のデータ入出力回路から受けたデータをも出力する、2 つの機能を有することになる。これは、出力バッファおよび入力バッファを備えている従来からのデータ入出力回路に中継ラインを付加することによって、本発明のデータ入出力装置を実現できることを示唆している。

## 【0009】

データ入出力回路の具体的適用例として、メモリ・コントローラおよびメモリとから構成されるメモリ・システムが挙げられる。そして本発明は、このメモリ・システムに適用することができる。したがって本発明は、データの読出し・書込み指令を発するメモリ・コントローラと、メモリ・コントローラからの読出し・書込み指令に基づいてデータの読出し・書込みを実行するメモリと、メモリ・コントローラとメモリとを接続するバスと、を備えたメモリ・システムについての適用を提案する。

この提案において、メモリ・コントローラは以下の構成を備えている。すなわち、本発明のメモリ・コントローラは、メモリに書込む書込みデータをバスに対して出力する第1出力バッファと、バスを介してメモリで読出された読出しデータを受ける第1入力バッファと、第1出力バッファに対して書込みデータを転送する第1出力ラインと、第1入力バッファが受けた読出しデータを転送する第1入力ラインと、第1出力ライン上に配置された第1マルチプレクサと、第1入力ラインと第1マルチプレクサとを繋ぐ第1中継ラインと、を備えている。

また、メモリは、読出し・書込みデータを記憶するメモリ・セルと、メモリ・コントローラを読出し指令に基づいてメモリ・セルから読出された読出しデータをバスに対して出力する第2出力バッファと、メモリ・コントローラの第1出力バッファから出力された書込みデータを受ける第2入力バッファと、メモリ・セルからの読出しデータを第2出力バッファに転送する第2出力ラインと、第2入力バッファが受けた書込みデータをメモリ・セルに転送する第2入力ラインと、第2出力ライン上に配置された第2マルチプレクサと、第2入力ラインと第2マルチプレクサとを繋ぐ第2中継ラインと、を備えている。

## 【0010】

以上のメモリ・システムにおいて、メモリ・コントローラがメモリに対して読出し指令を発すると、メモリは、第2マルチプレクサが第2出力ラインを選択する。そうすると、メモリは、メモリ・セルから読出しデータを読み出す。この読出しデータは、第2出力ラインおよび第2出力バッファを介してバスに出力される。

一方、メモリ・コントローラは、バスを介して第1入力バッファにより当該読出しデータを受ける。その微小時間後に、第1マルチプレクサが第1中継ラインを選択すると、第1入力ライン、第1中継ライン、第1出力ラインおよび第1出力バッファを介して当該読出しデータをバスに出力する。

つまり、本発明のメモリ・システムは、1つの読出しデータを、例えば1クロック期間において、メモリおよびメモリ・コントローラの2つのチップからバスに対して出力することができる。このときに、チップの切り替えが行われるが、出力されるデータが同一の読出しデータであるから、メモリ・コントローラおよびメモリ間で貫通電流が発生することがない。

なお、メモリ・コントローラは、読出しデータをバスに出力した後に、当該読出しデータをバスから取り込み、読出しデータの要求される内部回路に転送する。これで、読出し動作が完了する。

#### 【0011】

以上ではデータの読出し動作について説明したが、書込み動作については以下の通りである。

メモリ・コントローラがメモリに対して書込み指令を発すると、メモリ・コントローラは、第1マルチプレクサが第1出力ラインを選択するとともに、外部から転送された書込みデータを第1出力ラインおよび第1出力バッファを介してバスに出力する。

メモリは、バスを介して第2入力バッファにより当該書込みデータを受ける。その微小時間後に、第2マルチプレクサが第2中継ラインを選択する。すると、第2入力ライン、第2中継ライン、第2出力ラインおよび第2出力バッファを介して書込みデータをバスに出力する。

つまり、本発明のメモリ・システムは、1つの書込みデータを、例えば1クロック期間において、メモリおよびメモリ・コントローラの2つのチップからバスに対して出力することができる。このときに、チップの切り替えが行われるが、出力されるデータが同一の書込みデータであるから、メモリ・コントローラおよびメモリ間で貫通電流が発生することがない。

なお、メモリは、書込みデータをバスに出力した後に、当該書込みデータをバ

スから取り込み、メモリ・セルに記憶する。これで、書込み動作が完了する。

【 0 0 1 2 】

以上では読出し動作、書込み動作を各々別個に説明した。読出し動作から書込み動作、または書込み動作から読出し動作に切り替わる場合には、以下の通りである。

読出し動作から書込み動作に切り替わる場合には、メモリによる読出しデータの出力、メモリ・コントローラによる当該読出しデータの出力、メモリ・コントローラによる書込みデータの出力、メモリによる当該書込みデータの出力、という順序でデータの出力、チップの切り替えが実行される。

書込み動作から読出し動作に切り替わる場合には、メモリ・コントローラによる書込みデータの出力、メモリによる当該書込みデータの出力、メモリによる読出しデータの出力、メモリ・コントローラによる当該読出しデータの出力、という順序でデータの出力、チップの切り替えが実行される。なお、ここでいう出力の対象はバスである。

以上の通りであり、本発明のメモリ・システムにおいては、メモリ・コントローラおよびメモリの切り替え、ならびに読出しデータおよび書込みデータの切り替えが同時に起こる事態を回避することができる。したがって、H i - Z 期間を設けることなく貫通電流の発生を阻止できる。

【 0 0 1 3 】

以上説明したように、本発明は、メモリ・コントローラ、メモリ等の個々のデータ入出力回路がこれまでにない新規な構成を有しており、この構成と特別な制御とが相俟って実現される。

本発明のデータ入出力回路は、データ・バスへ出力データを出力する第1のバッファとデータ・バスから転送される入力データを受ける第2のバッファとがデータ・バスに接続された入出力セルと、出力データおよび入力データを保持するデータ保持手段と、データ保持手段に保持された出力データを第1のバッファに転送する出力ラインと、第2のバッファが受けた入力データをデータ保持手段に転送する入力ラインとを備えている。

以上の構成に加えて、本発明のデータ入出力回路は、第2のバッファを介して



入力データを出力バッファに転送する中継ラインと、出力ラインおよび中継ラインにおけるデータの転送を選択的に有効とするライン選択手段と、を備える。この中継ラインおよびライン選択手段とを備えることにより、第2のバッファが受けた入力データを、中継ラインおよび第1のバッファを経由してデータ・バスへ出力することを可能としている。

## 【0014】

本発明のデータ入出力回路は、入出力セルからのデータ出力の可否を制御する出力制御信号を、入出力セルに向けて出力する制御信号生成手段を備える。そして、この制御信号生成手段は、ライン選択手段における選択を制御する選択信号をライン選択手段に向けて出力することができる。そしてこの間に、第2のバッファが受けた入力データを、中継ラインおよび第1のバッファを経由してデータ・バスへ出力することができる。

また制御信号生成手段は、入出力セルからのデータ出力を可能とする出力制御信号を入出力セルに向けて出力し、その出力から所定時間経過した後に中継ラインを選択する選択信号をライン選択手段に向けて出力することができる。

## 【0015】

以上説明したデータ入出力装置で実現できる新規なデータ入出力方法は、バスを介して互いに他方から出力されるデータの入力を受けるとともに、自己のデータをバスに出力する第1のデータ入出力回路および第2のデータ入出力回路におけるデータ入出力方法であって、第1のデータ入出力回路が自己のデータである第1信号をバスに出力するステップと、第2のデータ入出力回路がバスから第1信号を取り込むステップと、第2のデータ入出力回路が第1信号を前記バスに出力するステップと、を備えている。

そして、引き続いて、第2のデータ入出力回路が自己のデータである第2信号をバスに出力するステップと、第1のデータ入出力回路がバスから第2信号を取り込むステップと、第1のデータ入出力回路が第2信号をバスに出力ステップと、を付加することができる。

## 【0016】

## 【発明の実施の形態】

以下本発明を実施の形態に基づいて説明する。

図 1 は、本発明をメモリ・コントローラ 1 0 とメモリ 2 0 を備えたメモリ・システム 1 に適用した例を示すブロック図である。

図 1 において、メモリ・コントローラ 1 0 とメモリ 2 0 とはデータ・バス 3 0 により接続されている。メモリ・コントローラ 1 0 には、内部回路 (Internal Circuit) 4 0 を介して CPU (Central Processing Unit) 5 0 が接続されている。

メモリ・コントローラ 1 0 は、メモリ 2 0 に対してマスタとして位置付けられる。メモリ・コントローラ 1 0 は、インプット／アウトプット (I/O) セル 1 1、マルチプレクサ (MUX) 1 4 とを備えている。

I/O セル 1 1 は、出力バッファ 1 2 および入力バッファ 1 3 とを備えている。出力バッファ 1 2 はデータ・バス 3 0 を介してメモリ 2 0 に対してデータを出力するためのバッファであり、入力バッファ 1 3 はデータ・バス 3 0 を介してメモリ 2 0 から転送されるデータを入力するためのバッファである。出力バッファ 1 2 には、アウトプット・イネーブル (Output Enable, OE) 信号が供給される。本実施の形態では、OE 信号が “L” のときにデータ出力が可能な状態となる。OE 信号は、制御信号生成手段 1 8 にて生成される。

#### 【 0 0 1 7 】

出力バッファ 1 2 は、MUX 1 4 が配置された出力ライン 1 5 によって内部回路 4 0 に接続される。内部回路 4 0 が保持しかつ出力されるデータは、出力ライン 1 5 を経由して出力バッファ 1 2 からデータ・バス 3 0 に向けて出力される。このデータは、書込みデータ (Write Data) である。

入力バッファ 1 3 は、入力ライン 1 6 を介して内部回路 4 0 に接続される。メモリ 2 0 から入力されるデータは、入力バッファ 1 3 および入力ライン 1 6 を経由して内部回路 4 0 に転送される。

入力ライン 1 6 と MUX 1 4 との間には、中継ライン 1 7 が配設されている。入力バッファ 1 3 に入力されたデータは、MUX 1 4 が中継ライン 1 7 を選択した場合には、入力ライン 1 6、中継ライン 1 7、出力ライン 1 5 および出力バッファ 1 2 を経由してデータ・バス 3 0 に出力することができる。

## 【 0 0 1 8 】

MUX 1 4 は、コントロール・セレクト (Control Select, CS) 信号によって、出力ライン 1 5 または中継ライン 1 7 のいずれかを選択する。具体的には、CS 信号が、“L” のときに出力ライン 1 5 からのデータを選択し、“H” のときに中継ライン 1 7 のデータを選択する。CS 信号も制御信号生成手段 1 8 にて生成される。

制御信号生成手段 1 8 は、クロック信号 (clock)、チップ・イネーブル信号 (chip enable) 信号、読出し指示信号 (read) および書込み指示信号 (write) を生成し、かつこれら信号をメモリ 2 0 の制御信号生成手段 2 9 に送出する。チップ・イネーブル信号は、読出し動作または書込み動作が行われることを示す信号である。そして、メモリ・コントローラ 1 0 における OE 信号及びメモリ 2 0 における OE 信号は、Chip Enable 信号、Write 信号及び Read 信号の組合せ、あるいは上記にクロックを合わせた組合せによって生成される。

## 【 0 0 1 9 】

メモリ 2 0 は、インプット／アウトプット (I/O) セル 2 1、マルチプレクサ (MUX) 2 4 およびメモリ・セル 2 8 とを備えている。

I/O セル 2 1 は、出力バッファ 2 2 および入力バッファ 2 3 とを備えている。出力バッファ 2 2 はデータ・バス 3 0 を介してメモリ・コントローラ 1 0 に対してデータを出力するためのバッファであり、入力バッファ 2 3 はデータ・バス 3 0 を介してメモリ・コントローラ 1 0 から転送されるデータを入力するためのバッファである。出力バッファ 2 2 には、アウトプット・イネーブル (Output Enable, OE) 信号が供給される。メモリ・コントローラ 1 0 と同様に、OE 信号が“L” のときに、出力バッファ 2 2 はデータ出力が可能な状態となる。OE 信号は、Chip Enable 信号、Write 信号及び Read 信号の組合せ、あるいは上記にクロックを合わせた組合せによって生成される。

## 【 0 0 2 0 】

出力バッファ 2 2 は、MUX 2 4 が配置された出力ライン 2 5 によってメモリ・セル 2 8 に接続される。メモリ・セル 2 8 から出力されるデータは、出力ライ

ン 2 5 を経由して出力バッファ 2 2 からデータ・バス 3 0 に向けて出力される。  
このデータは、読出しデータ (Read Data) である。

入力バッファ 2 3 は、入力ライン 2 6 を介してメモリ・セル 2 8 に接続される。  
メモリ・コントローラ 1 0 から入力される書込みデータ (Write Data) は、入力バッファ 2 3 および入力ライン 2 6 を経由してメモリ・セル 2 8 に転送される。

入力ライン 2 6 と MUX 2 4 との間には、中継ライン 2 7 が配設されている。  
入力バッファ 2 3 に入力されたデータは、MUX 2 4 が中継ライン 2 7 を選択した場合には、入力ライン 2 6、中継ライン 2 7、出力ライン 2 5 および出力バッファ 2 2 を経由してデータ・バス 3 0 に出力することができる。

#### 【 0 0 2 1 】

MUX 2 4 は、コントロール・セレクト (Control Select, CS) 信号によって、出力ライン 2 5 または中継ライン 2 7 のいずれかを選択する。具体的には、CS 信号が、“L” のときに出力ライン 2 5 からのデータを選択し、“H” のときに中継ライン 2 7 からのデータを選択する。CS 信号は、制御信号生成手段 2 9 によって生成される。

メモリ・セル 2 8 は、転送され書込みデータを記憶する。このデータは、読出し指令がなされると、読出しデータとなる。

#### 【 0 0 2 2 】

図 2 は、メモリ・コントローラ 1 0 のメモリ 2 0 に対する読出し (Read) から書込み (Write)、さらに読出し (Read) への動作の変化時における、メモリ・コントローラ 1 0 内部の I/O セル 1 1 の動作および MUX 1 4 の動作、メモリ 2 0 内部の I/O セル 2 1 の動作および MUX 2 4 の動作を示すタイミング・チャートである。以下、このタイミング・チャートを参照しつつ、本実施の形態における動作を説明する。なお、以下の (a) ~ (g) は図 2 の (a) ~ (g) で示される期間の動作を示している。

#### 【 0 0 2 3 】

(a) メモリ・コントローラ 1 0 から、メモリ 2 0 に対して読出し指令を発する。  
本実施の形態では、チップ・イネーブル信号および読出し指示信号をともに “

“L” とすることにより、メモリ 20 の制御信号生成手段 29 が “L” の OE 信号を生成し、出力バッファ 22 に供給して、I/O セル 21 を出力可能状態とする。

(b) メモリ 20 は、I/O セル 21 が出力可能状態になってから半クロック後、MUX 24 に対する CS 信号を “H” から “L” に変化させる。MUX 24 は、出力ライン 25 を選択する。したがって、メモリ・セル 28 に記憶されていたデータが読み出される。この読出しデータは、出力ライン 25 および出力バッファ 22 を介して、データ・バス 30 上に出力される。この読出しデータは、メモリ 20 にとって、自己のデータである。

このとき、メモリ・コントローラ 10 の I/O セル 11 は、OE 信号および CS 信号がともに “H” である。したがって、入力バッファ 13 は、常にデータ・バス 30 上のデータを採りこんでいる状態にある。また、MUX 14 は、中継ライン 17 を選択している。したがって、中継ライン 17 に対しては、(b) の期間にデータが確定する。

#### 【 0 0 2 4 】

(c) メモリ・コントローラ 10 からの指示が書込み指令に切り替わる。

メモリ 20 においては、その OE 信号が “H” となって出力バッファ 22 が出力不可状態となり、メモリ 20 からの読出しデータの出力が止まる。

一方、メモリ・コントローラ 10 の OE 信号は “L” となって、出力バッファ 12 が出力可能状態となる。このときメモリ・コントローラ 10 の CS 信号は “H” であるから、MUX 14 は中継ライン 17 を選択している。よって、(b) の期間で確定している読出しデータが、出力ライン 15 および出力バッファ 12 を経由してデータ・バス 30 に出力される。

この読出しデータは、(b) の期間にメモリ 20 からデータ・バス 30 に出力された読出しデータと同一である。つまり、(b) の期間にメモリ 20 からデータ・バス 30 に出力された読出しデータと電位レベルが一致する。したがって、メモリ・コントローラ 10 とメモリ 20 の反応速度が異なっても、貫通電流は発生しない。また、メモリ・コントローラ 10 とメモリ 20 の反応速度の違いから、一瞬メモリ 20 の出力がインアクティブ状態になり、Hi-Z 状態になった場

合でも、“H”(または“L”)からH i - Zまでは、ミリ秒単位の変移時間を要するので、メモリ・コントローラ10、メモリ20の反応速度の差から生じる時間差に比べて非常に大きいために、データ・バス30上で中間電位(H i - Z)が現われることはない。

## 【0025】

以上の通りであり、(b)および(c)の1クロックの間に、メモリ20およびメモリ・コントローラ10から半クロックずつ出力された読出しデータがデータ・バス30上に現われる。

これを(c)の立ち下り部分で、メモリ・コントローラ10が取り込むことによって、読出しの1サイクルが終了する。取り込まれた読出しデータは、入力ライン16を経由して内部回路40に供給される。

## 【0026】

(d)メモリ・コントローラ10のCS信号が“L”に変わることによって、MUX14が出力ライン15を選択する。そうすると、内部回路40からの書込みデータが、出力ライン15および出力バッファ12を経由してデータ・バス30に出力される。この書込みデータは、メモリ・コントローラ10にとって自己のデータである。

このとき、メモリ20のI/Oセル21のOE信号およびCS信号がともに“H”である。したがって、入力バッファ23は、常にデータ・バス30上のデータを採り込んでいる状態にある。また、MUX24は、中継ライン27を選択している。したがって、中継ライン27に対しては、(d)の期間にデータが確定する。

## 【0027】

(e)メモリ・コントローラ10からの指示が読出し指令に切り替わる。

メモリ・コントローラ10においては、そのOE信号が“H”となって出力バッファ12が出力不可状態となり、メモリ・コントローラ10からの書込みデータの出力が止まる。

一方、メモリ20のOE信号が“L”となって、出力バッファ22が出力可能状態となる。このときメモリ20のCS信号は“H”であるから、MUX24は

中継ライン 27 を選択している。よって、(d) の期間に確定している書込みデータが、出力ライン 25 および出力バッファ 22 を経由してデータ・バス 30 に出力される。

## 【0028】

この書込みデータは、(d) の期間にメモリ・コントローラ 10 から出力された書込みデータと同一である。つまり、(b) の期間にメモリ・コントローラ 10 からデータ・バス 30 に出力された書込みデータと電位レベルが一致する。したがって、メモリ・コントローラ 10 とメモリ 20 の反応速度が異なっても、貫通電流は発生しない。また、メモリ・コントローラ 10 とメモリ 20 の反応速度の違いから、一瞬メモリ 20 の出力がインアクティブ状態になり、Hi-Z 状態になった場合でも、“H” (または “L”) から Hi-Z までは、ミリ秒単位の変移時間を要するので、メモリ・コントローラ 10、メモリ 20 の反応速度の差から生じる時間差に比べて非常に大きいために、データ・バス 30 上で中間電位 (Hi-Z) が現われることはない。

## 【0029】

(f) I/O セル 21 が出力不可状態となってから半クロック後、MUX 24 に対する CS 信号を “H” から “L” に変化させる。以後は、(b) の期間と同様の動作が行われる。つまり、メモリ・セル 28 から読出されたデータを、データ・バス 30 上に出力する。また、メモリ・コントローラ 10 の MUX 14 に接続される中継ライン 17 に対しては、(f) の期間にデータが確定する。

また、図 2 中の (g) は (c) と同様の動作を行う。

## 【0030】

以上説明したように、本実施の形態によるメモリ・システム 1 は、データの読出し動作時には、メモリ・セル 28 から読み出された読出しデータを、出力ライン 25 および出力バッファ 22 を介してデータ・バス 30 に出力する。一方で、メモリ・コントローラ 10 は、データ・バス 30 を介して出力バッファ 12 によってデータ・バス 30 上の当該読出しデータを受ける。その後、入力ライン 16、中継ライン 17、出力ライン 15 および出力バッファ 12 を介して当該読出しデータをデータ・バス 30 に出力する。

また、データの書込み動作時には、内部回路 4 0 から転送された書込みデータを出力ライン 1 5 および出力バッファ 1 2 を介してデータ・バス 3 0 に出力する。一方で、メモリ 2 0 は、データ・バス 3 0 を介して入力バッファ 2 3 により当該書込みデータを受ける。その後に、入力ライン 2 6、中継ライン 2 7、出力ライン 2 5 および出力バッファ 2 2 を介して当該書込みデータをデータ・バス 3 0 に出力する。

つまり、メモリ・システム 1 は、1 つの読出しデータを、1 クロック期間において、メモリ 2 0 およびメモリ・コントローラ 1 0 の 2 つのチップからデータ・バス 3 0 に対して出力することができる。このときに、チップの切り替えが行われるが、出力されるデータが同一の読出しデータであるから、メモリ・コントローラ 1 0 およびメモリ 2 0 間で貫通電流が発生することがないのである。

#### 【0 0 3 1】

以上では、メモリ 2 0 が 1 つのメモリ・システム 1 について説明したが、例えば図 3 に示すように 2 つ（あるいは 2 つ以上）のメモリ 2 0 を備えたメモリ・システムに本発明を適用することができる。そしてこの場合、メモリ 2 0 同士の動作に本発明のデータ入出力方法を適用することができることは言うまでもない。

また、以上説明したものはあくまで本発明における一実施形態であり、本発明を解釈する上で、限定の根拠とはならない。

#### 【0 0 3 2】

##### 【発明の効果】

以上説明したように、本発明によれば、出力する回路の切り替えと、出力データの切り替えとが同時に発生することを回避している。したがって、従来のように、H i - Z 期間を設ける必要がないため、バス効率を向上することができる。

##### 【図面の簡単な説明】

【図 1】 本実施の形態によるメモリ・システムの構成を示すブロック図である。

【図 2】 本実施の形態によるメモリ・システムの動作を示すタイミング・チャートである。

【図 3】 本実施の形態によるメモリ・システムの他の構成例を示すブロッ



ク図である。

【図 4】 従来のメモリ・システムの動作を示すタイミング・チャートである。

【符号の説明】

1 …メモリ・システム、1 0 …メモリ・コントローラ、1 1 …I/Oセル、1 2 …出力バッファ、1 3 …入力バッファ、1 4 …MUX (マルチプレクサ)、1 5 …出力ライン、1 6 …入力ライン、1 7 …中継ライン、1 8 …制御信号生成手段、2 0 …メモリ、2 1 …I/Oセル、2 2 …出力バッファ、2 3 …入力バッファ、2 4 …MUX (マルチプレクサ)、2 5 …出力ライン、2 6 …入力ライン、2 7 …中継ライン、2 8 …メモリ・セル、2 9 …制御信号生成手段、3 0 …データ・バス、4 0 …内部回路、5 0 …CPU